

TALLER



FAMILIAS LÓGICAS:

Introducción

Especificaciones genéricas de una familia lógica

La familia TTL

La familia CMOS

Bibliografía

4° B – ELECTRÓNICA

2018



Jack St. Clair Kilby nació en Jefferson City (EE.UU) el 8 de noviembre de 1923. Hijo del dueño de una pequeña empresa de aparatos eléctricos comenzó a interesarse por los tubos de vacío cuando escuchaba música en la radio. Estudió Ingeniería Eléctrica en las universidades de Illinois y Wisconsin, e inició su carrera en la compañía Centralab, una subsidiaria de Globe Union Inc., en Milwaukee.

En 1958 se incorporó a la compañía Texas Instruments. Durante el verano de ese año concibió la idea del circuito integrado y, a pesar de contar con un equipamiento muy rudimentario, consiguió fabricar el primer circuito integrado monolítico (todos los componentes son parte de la misma pastilla de material semiconductor y se fabrican conjuntamente).

El circuito estaba fabricado sobre una pastilla de germanio de 6 x 6 mm y contenía tan sólo un transistor, tres resistencias y un condensador. El número de componentes puede parecer ridículo comparado con los actuales circuitos integrados, pero este logro significó el inicio microelectrónica. Este invento le permitió ganar varios millones de dólares a Texas Instruments, en concepto de regalías.

En 1970 Kilby abandonó Texas Instruments y comenzó su carrera como inventor independiente, durante la cual estudió, principalmente, la aplicación del silicio para la obtención de la energía a partir del sol. De 1978 a 1984 fue Profesor Emérito en la Universidad de Texas. Posteriormente, fue consultor y director general de varias compañías. En su carrera, Kilby patentó más de 60 inventos relacionados con los semiconductores.

En 1970 recibió en la Casa Blanca la "Medalla Nacional de Ciencia". En 1982, por su parte, entró en el "National Inventors Hall of Fame", quedando en los anales de la invención americana.

Fue miembro del "Institute of Electrical and Electronics Engineers" (IEEE) y de la "National Academy of Engineering" (NAE) y recibió, entre otras numerosas

condecoraciones, la medalla del "Franklin Institute's Stuart Ballantine" y la Medalla de Honor del IEEE.

El 10 de octubre de 2000, fue condecorado con el premio Nobel de Física por la invención del circuito integrado o "chip".

La tecnología de los circuitos integrados se desarrolló muy rápidamente. Poco más de 10 años después, todas las computadoras del mundo se construían con circuitos integrados en lugar de utilizar componentes discretos; un amplificador operacional con más de 250 componentes costaba menos que un solo transistor discreto. En el año 2000 se integraron en una pastilla de silicio del mismo tamaño que la utilizada por Kilby, un millón de veces más componentes.

El 20 de junio de 2005 perdió la batalla contra el cáncer y murió a los 81 años de edad.

1. INTRODUCCIÓN

Una familia lógica es un conjunto de circuitos integrados que implementan distintas operaciones lógicas compartiendo la tecnología de fabricación y en consecuencia, presentan características similares en sus entradas, salidas y circuitos internos. La similitud de estas características facilita la implementación de funciones lógicas complejas al permitir la directa interconexión entre los chips pertenecientes a una misma familia.

Teniendo en cuenta el tipo de transistores utilizados como elemento de conmutación, las familias lógicas pueden dividirse en dos grandes grupos: las que utilizan transistores bipolares y las que emplean transistores MOS.

La primera familia lógica en aparecer en el mercado, a principios de la década del 60, fue implementada con lógica de transistores bipolares acoplados por emisor (ECL, *Emitter Coupled Logic*). A fin de desarrollar circuitos de alta velocidad los transistores conducen en zona activa y de esta manera se minimiza el tiempo de conmutación entre conducción y corte. Casi inmediatamente aparecieron otras familias lógicas basadas en transistores bipolares conmutando entre corte y saturación a fin de reproducir dentro de un chip los circuitos que hasta ese momento se realizaban utilizando componentes discretos. La primera de estas familias fue implementada con resistencias y transistores bipolares y se la identifica como lógica RTL (*Resistor Transistor Logic*). La integración de resistencias demanda gran cantidad de área de silicio, reduciendo la cantidad de compuertas que se podían incluir dentro de un mismo chip. Para mejorar el aprovechamiento del área algunas resistencias de los circuitos comenzaron a ser reemplazadas por diodos, principalmente en las etapas de entrada, dando lugar a la aparición de la lógica de diodos y transistores identificada como DTL (*Diode Transistor Logic*). Finalmente, los transistores multiemisor reemplazaron los diodos y se llegó a una topología circuital que dio lugar a una familia lógica basada fundamentalmente en transistores bipolares y una mínima cantidad de resistencias. Esta familia, denominada lógica TTL (*Transistor Transistor Logic*), se popularizó rápidamente y mantiene, aún en la actualidad, su vigencia.

Con el correr del tiempo la familia TTL se convirtió en un conjunto de familias lógicas que si bien entre sí difieren en velocidad, consumo de energía y costo, mantienen características de entrada y salida compatibles de manera que en un sistema digital pueden mezclarse componentes de distintas familias TTL.

Los principales inconvenientes de los circuitos con transistores bipolares son el alto consumo y, como consecuencia, la baja escala de integración admisible (cantidad de dispositivos posibles de integrar en un mismo chip) que se relaciona directamente con una baja complejidad del circuito.

Como alternativa para soslayar estos inconvenientes y facilitar el aumento del nivel de integración surgieron las familias basadas en transistores de efecto de campo de compuerta aislada (MOS, *Metal Oxide Semiconductor*) de enriquecimiento. En esta tecnología, los circuitos lógicos pueden ser implementados íntegramente con transistores MOS evitando la presencia de resistencias, en consecuencia, para implementar una función lógica dada se ocupa menor área de silicio con un proceso de fabricación más simple. Además del hecho que, dado que los transistores MOS son controlados por tensión y no permiten la circulación de corriente en sus entradas, requieren menos potencia para su funcionamiento facilitando el aumento de la escala de integración.

Teniendo en cuenta que los transistores MOS tienen un único tipo de portadores, y en el caso de los transistores con canal tipo N (NMOS) los portadores son electrones que tienen una movilidad considerablemente mayor que la de los huecos responsables de la conducción en los de canal P (PMOS), las primeras familias lógicas de transistores MOS se basaban en transistores de canal tipo N, siendo conocida como familia NMOS.

A fines de los setenta surgieron procesos tecnológicos que permitían integrar transistores canal N y canal P simultáneamente en una misma pastilla. De esta manera surge la tecnología de transistores MOS complementarios (CMOS, *Complementary MOS*). El conjunto de familias CMOS posee ventajas indudables sobre la TTL, y aún sobre la misma NMOS; sobre todo en cuanto al mínimo consumo de potencia haciendo que rápidamente se estableciera como el estándar dando lugar a un aumento vertiginoso de la escala de integración hasta llegar a poner cientos de millones de transistores en un mismo chip.

Las familias TTL no han experimentado cambios importantes en los últimos años, mientras que la permanente evolución de la tecnología CMOS puso a disposición familias capaces de reemplazar en forma directa a los CI de tecnología TTL e incluso con mejor rendimiento. A pesar de esto, las familias TTL siguen estando presentes en el mercado.

2. ESPECIFICACIONES GENÉRICAS DE UNA FAMILIA LÓGICA

Estas especificaciones son las que en general están incluidas en la hoja de datos correspondiente a cada circuito que brinda el fabricante. Dentro de ellas algunas, como ser tensión de alimentación y niveles de tensión y corriente de entrada y salida, son iguales para todos los circuitos de la familia con independencia de la función lógica que realiza cada uno de ellos, de esta manera se asegura fácil interconexión entre ellos para implementar funciones lógicas más complejas. Hay otras características que dependen de la función que ejecuta el circuito, por ejemplo el consumo de potencia y los tiempos de retardo, propagación y conmutación, y en consecuencia sus valores y características pueden diferir de un integrante a otro.

2.1 TENSIÓN DE ALIMENTACIÓN

Los circuitos pertenecientes a una familia comparten el mismo rango permitido de tensiones de alimentación. Independientemente de la amplitud del rango permitido, la simplicidad y seguridad de la interconexión se mantiene si todos los circuitos interconectados están conectados a la misma alimentación.

2.2 NIVELES DE TENSIÓN Y MARGEN DE RUIDO

El fabricante garantiza un nivel de tensión mínimo (V_{IH}) que aplicado a una entrada el circuito interpreta como un estado alto (en lógica positiva 1 lógico o "1"), y un nivel máximo de tensión (V_{IL}) que interpreta como estado bajo (en lógica positiva 0 lógico o "0").

V_{IL} : Máxima tensión de entrada que se interpreta como estado bajo.

V_{IH} : Mínima tensión de entrada que se interpreta como estado alto.

Los valores de tensión que el circuito presenta a la salida para los estados alto ("1") y bajo ("0") dependen de la familia y del estado de carga en que se encuentre dicha salida. El fabricante garantiza entonces un entorno de valores de tensión para cada estado, siempre y cuando se respeten las restricciones establecidas para las corrientes requeridas o entregadas en la salida. Los valores que limitan estos entornos son:

V_{OL} : Máxima tensión de salida que se garantiza para el estado alto.

V_{OH} : Mínima tensión de salida que se garantiza para el estado alto.

Cuando la salida se encuentra en un nivel alto es el circuito lógico el que entrega potencia (corriente saliente) mientras que cuando la salida está en un nivel bajo la circulación de corriente es hacia el interior del CI (figura 1).

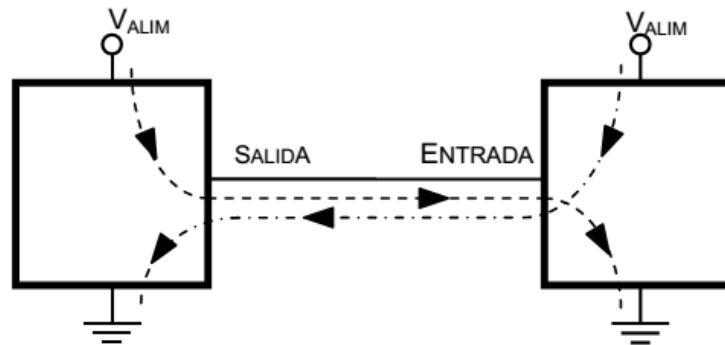


Figura 1.- Sentidos de circulación de corriente.

A fin de generar un margen de seguridad que permita interconexiones seguras entre circuitos de una misma familia, los rangos de tensión de salida son menores que los de entrada. La diferencia entre los niveles de salida y entrada, alta y baja respectivamente, definen un margen de seguridad para cada uno de los estados de salida posibles que identifica al máximo valor de ruido que puede afectar a una señal de salida sin que exista la posibilidad de que la información sea malinterpretada en las entradas conectadas a ella. En condiciones ideales estos márgenes deberían ser iguales entre sí y cercanos a la mitad de la tensión de alimentación, en la práctica esta condición es difícil de cumplir. Por esta causa, el menor de ambos márgenes define el **Margen de Ruido** (NM – Noise Margin) que identifica a la familia.

La siguiente figura (figura 2) muestra un diagrama de tensiones de entrada y salida. Las áreas rayadas indican los intervalos de tensiones válidas, tanto de entrada como de salida.

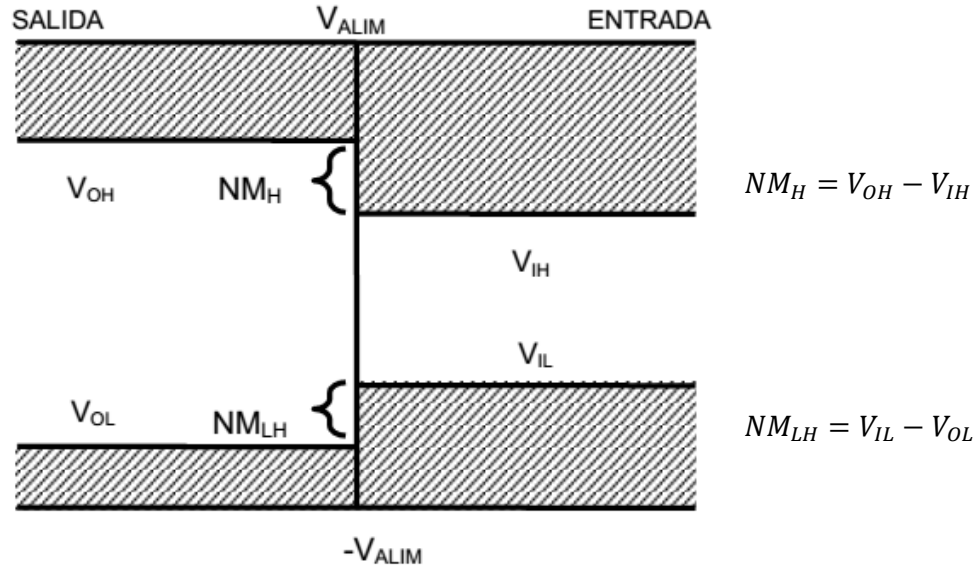


Figura 2.- Margen de ruido.

2.2 CAPACIDAD DE CARGA EN LA SALIDA Y CORRIENTES MÁXIMAS DE ENTRADA

El requerimiento de potencia a la salida de un circuito lógico depende del estado de esa salida y de la carga conectada. El fabricante estipula los valores máximos de estas corrientes, de forma que aseguran el funcionamiento del CI dentro de sus parámetros máximos. Estas corrientes se denominan I_{OL} e I_{OH} .

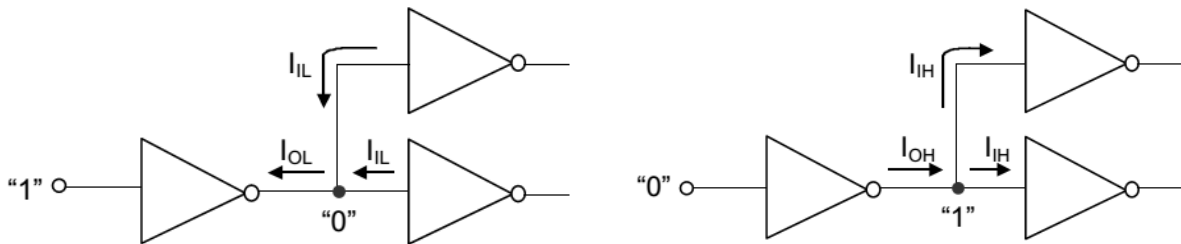


Figura 3.- Corrientes de salida.

También asegura los valores máximos de corriente que pueden circular por cada entrada, en cada uno de los posibles estados. Estas corrientes se denominan I_{IL} e I_{IH} .

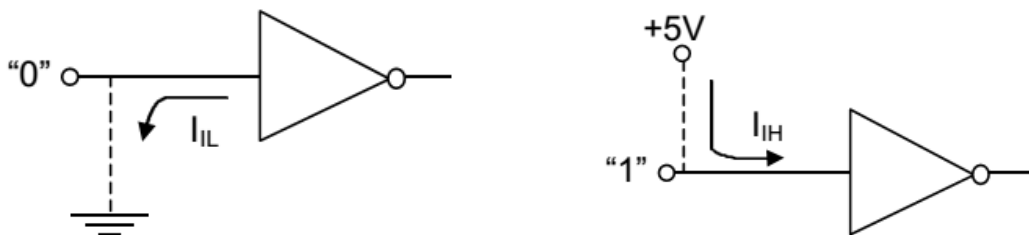


Figura 4.- Corrientes de entrada.

Por convención, estas corrientes, tanto la de entrada como la de salida, se consideran positivas cuando son entrantes al circuito y negativas cuando son salientes.

La cantidad máxima de entradas que pueden conectarse a una misma salida, en cada posible estado, se determina realizando las siguientes relaciones:

$$Fan - out_{(L)} = \frac{I_{OL}}{|I_{IL}|}$$

$$Fan - out_{(H)} = \frac{|I_{OH}|}{I_{IH}}$$

Motorola definió las denominadas "unidades lógicas de carga" (UL) para el estado alto y bajo. Fue una normalización para la primera familia lógica TTL, donde en general una compuerta tenía un valor de corriente de entrada en un estado alto de 40uA (I_{IH}) y de 1,6mA para un estado bajo (I_{IL}). En este caso:

$$Fan - out_{(L)} = \frac{I_{OL}}{1,6mA}$$

$$Fan - out_{(H)} = \frac{|I_{OH}|}{40\mu A}$$

El menor de estos cocientes determina la máxima cantidad de entradas de circuitos de la familia que puede conectarse a una misma salida. Este valor se identifica como capacidad de carga o "fan-out". Todos estos valores dependen de la tecnología de implementación de la familia y son brindados por los fabricantes en las hojas de datos.

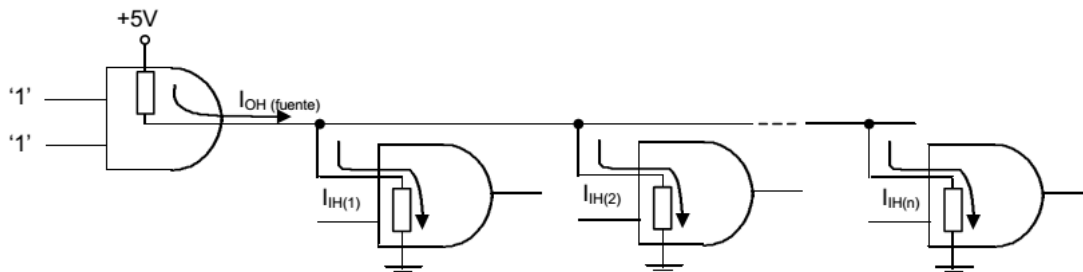


Figura 5.- Carga en estado alto.

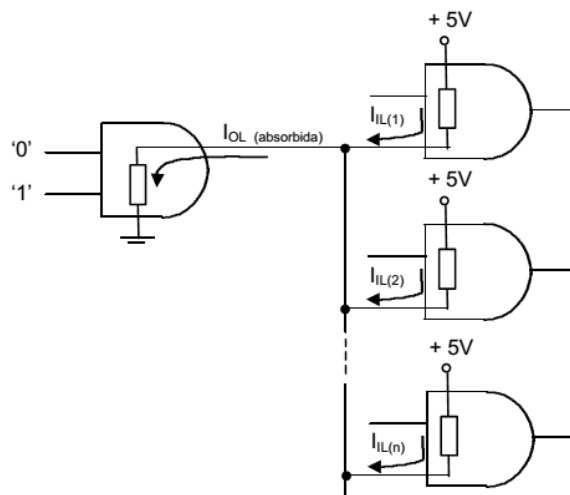


Figura 6.- Carga en estado bajo.

2.3 RETARDO DE PROPAGACIÓN

Cuando una señal se propaga a través de un circuito integrado, siempre experimenta un retardo de tiempo. Un cambio de nivel en la salida siempre se produce luego de que ha transcurrido un cierto tiempo, denominado *tiempo de retardo de propagación*.

Podemos definir dos tiempos de propagación:

- t_{pLH} : tiempo transcurrido entre que el inicio del flanco de un pulso de entrada (ascendente o descendente) alcanza un 50% y el flanco ascendente del pulso de salida alcanza también el 50%.
- t_{pHL} : tiempo transcurrido entre que el inicio del flanco de un pulso de entrada (ascendente o descendente) alcanza un 50% y el flanco descendente del pulso de salida alcanza también el 50%.
- t_{pD} : tiempo de propagación medio. Debido a que los tiempos t_{pLH} y t_{pHL} no son iguales, se suele dar el tiempo de propagación medio:

$$t_{pD} = \frac{t_{pLH} + t_{pHL}}{2}$$

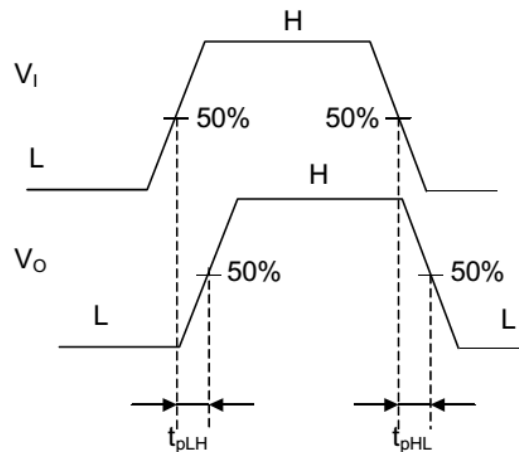


Figura 7.- Retardos de propagación en un compuerta 'no inversora'.

2.4 RETARDO DE TRANSICIÓN

Es el tiempo transcurrido durante una transición de nivel lógico en la salida. Se mide entre los puntos de 10% y 90% de amplitud en el diagrama de tiempos, y en general vales distinto para una transición de bajo a alto (rise time): t_{TLH} , que para una transición de alto a bajo (fall time): t_{THL} .

2.5 CONSUMO DE POTENCIA

En un circuito lógico deben diferenciarse dos tipos de consumo de potencia: el estático y el dinámico. La potencia estática es la que el circuito disipa mientras permanece en un estado estable, y es muy dependiente del estado de sus entradas pero fundamentalmente del estado de sus salidas, ya que las corrientes de entrada son, en general, mucho menores. Se define la potencia media estática consumida como el valor promedio de potencia consumida teniendo en cuenta ambos estados, es decir que se toma la semisuma entre la corriente que consume cuando todas las salidas están en nivel alto (I_{CCH}) y la corriente que consume cuando todas las salidas están en nivel bajo (I_{CCL}). En ambos casos, el valor de estas corrientes se determinan sin ninguna carga conectada a la salida.

$$P_D = V_{Alim} \cdot \left(\frac{I_{CCH} + I_{CCL}}{2} \right)$$

Uno de los factores que más afectan a la velocidad de conmutación de una compuerta es el tiempo requerido para cargar y descargar las capacidades internas asociadas a las junturas semiconductoras. Cuanto

más rápido se realice la carga y descarga de estas capacidades, mayor será la potencia en juego y menor el retardo de propagación. El producto entre el retardo de propagación y la potencia disipada (PDP, *Power Delay Product*) se expresa en pJ (pico Joules) y habitualmente se lo utiliza como factor de comparación entre diferentes familias lógicas o bien entre distintas subfamilias. Los fabricantes siempre tratan de reducir este parámetro, es decir que cuanto menor sea, mejor será la familia lógica.

3. LA FAMILIA TTL

Dentro de las familias que utilizan como elementos activos los transistores bipolares, el estándar es la lógica de transistor-transistor (TTL) introducida en 1962. La familia original con el correr del tiempo se amplió a un conjunto de familias lógicas que, si bien tienen diferencias en cuanto a velocidad, consumo de energía y costo, son todas compatibles entre sí; es decir que en un mismo sistema digital pueden utilizarse componentes de varias familias TTL sin problemas de interconexión entre ellos. Fue la más popular hasta la década de los '80.

El consumo relativamente alto de los circuitos con transistores bipolares limitó el nivel de integración (cantidad de transistores que pueden integrarse de manera fiable en un mismo chip) y, en consecuencia, la complejidad del circuito. Su nivel de integración es medio (menos de 10.000 transistores por chip). Los integrados de esta familia se identifican con un código de 4 ó 5 cifras que comienza con el número 74 para la serie de especificaciones estándares o comerciales (7402, 74152, etc.) o bien con el número 54 para la serie de especificaciones militares (5470, 54107, etc.). Estas dos líneas difieren fundamentalmente en el rango de temperaturas de funcionamiento, de 0 a 70°C para la comercial y de -55 a 125°C para la militar, en el material de encapsulado y, consecuentemente, en el costo. Las restantes cifras del código identifican la función lógica y la distribución de las patas del circuito integrado en el encapsulado. Toda la información necesaria para su utilización está consignada en las hojas de datos que provee el fabricante.

3.1 EL TRANSISTOR BIPOLAR

Un transistor bipolar (BJT) posee tres terminales: base, emisor y colector. Tiene además dos uniones, la unión base-emisor y la unión base-colector. Su operación básica de conmutación es la siguiente: cuando la base es aproximadamente 0,7V, más positiva que el emisor y se proporciona suficiente corriente de base, el transistor conduce e ingresa en la región de saturación. Idealmente actúa como un interruptor cerrado entre el colector y el emisor, como ilustra la figura 8. Cuando la base está a menos de 0,7V por encima del emisor, el transistor no conduce y actúa como un interruptor abierto entre el colector y el emisor, como muestra la figura 8(b). Un nivel alto en la base pone en conducción al transistor (on), por lo que actúa como interruptor cerrado y un nivel bajo bloquea el transistor (off) por lo que trabaja como interruptor abierto.

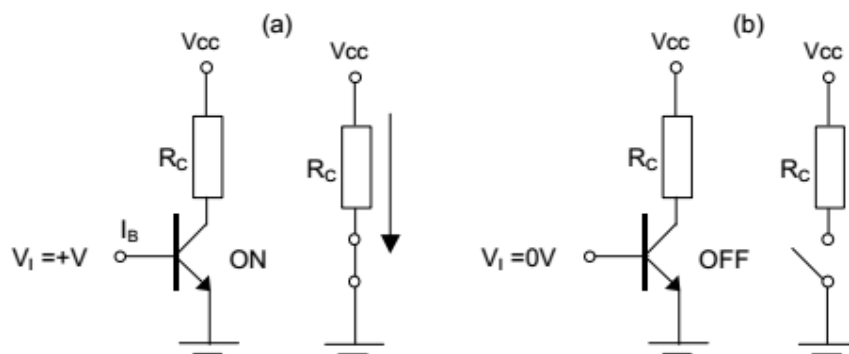


Figura 8.- Conmutación ideal de un transistor BJT. (a) Transistor saturado. (b) Transistor en corte.

3.2 EL INVERSOR TTL

El circuito básico implementado en tecnología TTL es el inversor. Su topología puede verse en la figura 9. La resistencias del circuito tienen los valores adecuados para que los transistores en conducción permanezcan saturados para una tensión de alimentación entre 5V \pm 0,25 V. La combinación de los transistores T₃ y T₄ forma el circuito de salida, denominado **totem-pole**.

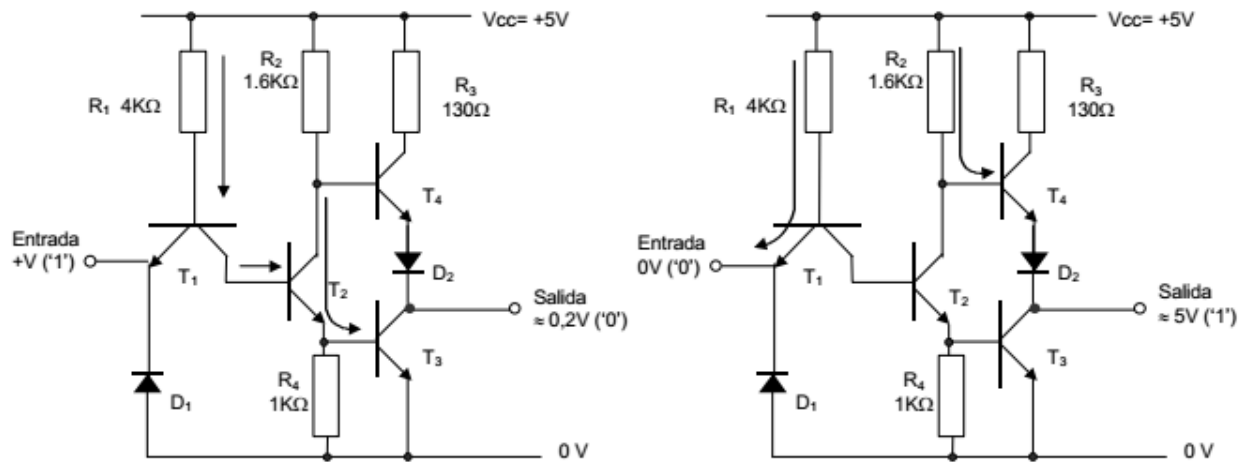


Figura 9.- Inversor TTL. Entrada a nivel alto (izquierda). Entrada a nivel bajo (derecha).

Con la entrada en un nivel bajo, el transistor T_1 tiene su juntura base-emisor polarizada directamente y está en condiciones de conducir. La conexión del colector de T_1 a la base de T_2 no permite la circulación de corriente, forzando la saturación de T_1 y el corte de T_2 . El corte de T_2 provoca el corte de T_3 aislando la salida de masa. Al mismo tiempo habilita la conducción de T_4 y el diodo D_2 ligando la salida a V_{CC} a través de un camino de baja impedancia.

Por otro lado, cualquier valor de tensión superior a 2V en la entrada eleva el potencial del emisor de T_1 por encima del potencial de su colector forzando su funcionamiento en modo inverso (emisor funciona como colector y viceversa) y permitiendo la polarización directa de las junturas base-emisor de T_2 y T_3 . Estos dos transistores entran en saturación, por lo que la tensión colector-emisor de T_2 no alcanza a polarizar en directa la juntura base-emisor de T_4 y el diodo D_2 . El corte de T_4 aísla la salida de V_{CC} , mientras que la conducción de T_3 la conecta a masa a través de un camino de baja impedancia forzando un estado bajo. El diodo D_1 evita los picos negativos de tensión en la entrada, que podrían dañar a T_1 , y el diodo D_2 asegura que T_4 quede bloqueado cuando T_2 conduce.

La disipación de potencia es considerable tanto para condiciones estáticas como dinámicas (conmutación). Las salidas **totem-pole** son las más comunes en los CI's de la familia TTL. En el circuito de la figura 9, T_3 y T_4 , junto al diodo D_2 conforman dicho circuito. Ambos transistores funcionan como llaves electrónicas conectadas a la salida. Una llave funciona de *pull-up* y la otra de *pull-down*. En condiciones estáticas, solamente se encuentra cerrada una llave a la vez, imponiendo un estado lógico en la salida.

Si en el circuito inversor se reemplaza el transistor T_1 por un transistor multiemisor se puede construir una compuerta NAND de tantas entradas como emisores tenga T_1 . La fabricación de un transistor multiemisor es similar a la de un transistor común, salvo que se difunden varios emisores dentro de la base a fin de disponer de varias junturas base-emisor en paralelo. En la figura 10 se muestra el circuito esquemático de una compuerta NAND TTL de dos entradas en el cual el transistor de entrada, T_1 , tiene dos emisores.

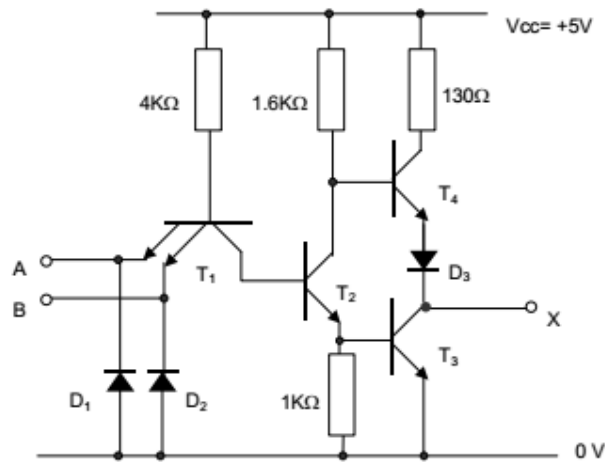


Figura 10.- Compuerta NAND TTL de dos entradas.

3.3 TIPOS DE SALIDAS

Hasta ahora sólo se ha nombrado el tipo de salida totem-pole, pero los circuitos TTL disponen de otros tipos de salida: en colector abierto y tercer-estado

1. **Totem- Pole:** es el tipo de salida más usual. Hay que tener en cuenta que no podemos unir las salidas de circuitos totem-pole (figura 11) porque se produce una corriente excesiva y daría lugar a daños en el dispositivo.

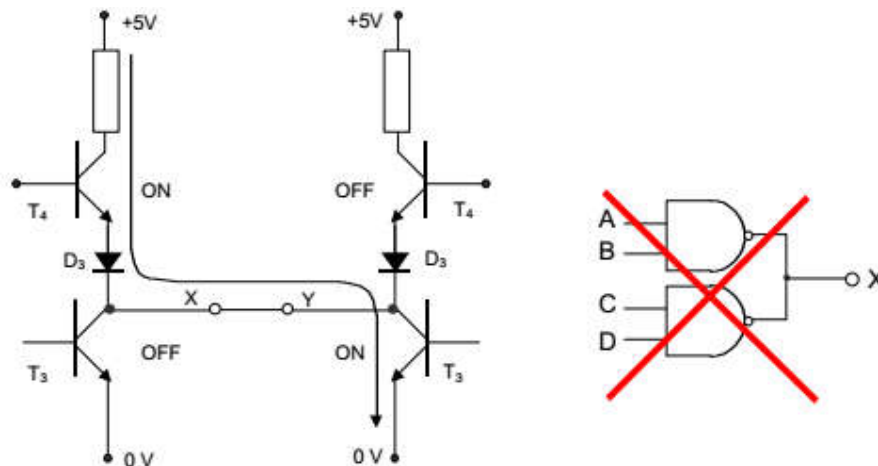


Figura 11.- Cuso incorrecto de circuitos con salida totem-pole.

2. **Colector-Abierto:** la salida se toma del colector del transistor T_3 (figura 12). Para que el circuito funcione se debe conectar una resistencia de pull-up externa entre la salida y la fuente de alimentación. Cuando T_3 no conduce la salida es llevada a V_{CC} a través de la resistencia externa. Cuando T_3 se satura, la salida se lleva a un potencial próximo a tierra a través del transistor saturado. La elección del valor de la resistencia es un compromiso entre la disipación de potencia y la velocidad. Las resistencias de valor alto reducen la corriente de colector, y por tanto la potencia, pero también limitan la velocidad. Aún con valores de resistencia bajos el circuito en colector abierto no es tan rápido como el totem-pole. Una de las ventajas de las puertas de colector abierto es que sus salidas se pueden conectar en paralelo para formar una configuración AND cableada. La función AND cableada resulta de particular interés cuando se deben combinar muchas entradas, pues se elimina la necesidad de disponer de compuertas de muchas entradas. En todos los circuitos de AND cableada se requiere una resistencia externa (figura 13).

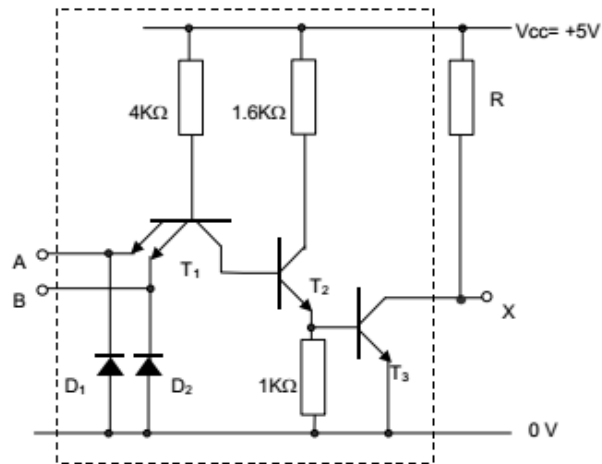


Figura 12.- Compuerta NAND TTL con salida Colector-Abierto.

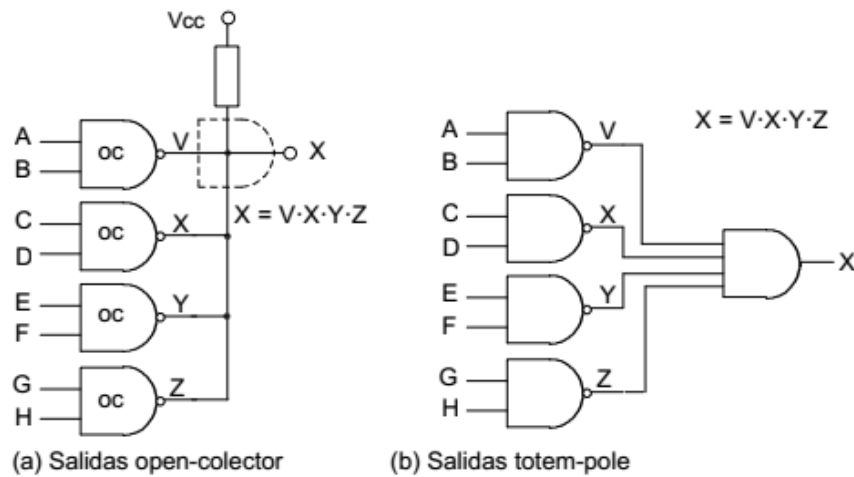


Figura 13.- Conexión AND de salidas.

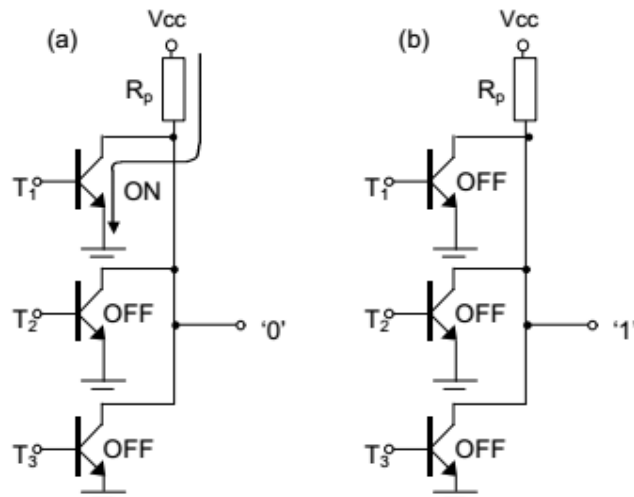


Figura 14.- Conexión AND cableada. (a) una o más salidas a '0'. (b) Todas las salidas a '1'.

3. **Tercer estado:** las compuertas lógicas convencionales tienen dos estados de salida posibles: '0' y '1'. En algunas circunstancias resulta conveniente contar con un tercer estado que corresponde a una condición de alta impedancia, en la que se permite que la salida flote. El voltaje de salida estará determinado por el circuito exterior que se conecte. La salida de la compuerta se habilita o se deshabilita mediante una señal de control (figura 15). Los dispositivos de tres estados se usan en la creación de buses en los que las salidas de varios dispositivos están conectadas entre sí. Cada dispositivo puede entonces colocar datos sobre la línea siempre y cuando se habilite la salida de un solo dispositivo a la vez. Las salidas deshabilitadas no afectarán a la señal del bus. La salida de la puerta se habilita o deshabilita mediante una entrada de control C. La figura 15 muestra una puerta con una entrada de control C activa a nivel bajo, es decir, la salida se habilita si C = 0

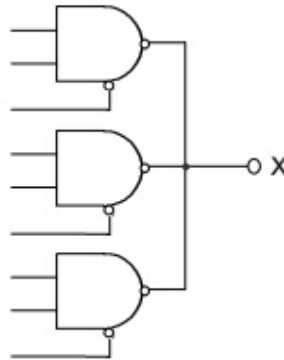


Figura 15.- Compuertas NAND con salida **Tri-State**.

3.4 CARACTERÍSTICAS DE LA FAMILIA TTL ESTÁNDAR

1. Niveles lógicos de entrada y salida:

	Mínimo	Típico	Máximo
V_{IL}	-	-	0,8V
V_{IH}	2,0V	-	-
V_{OL}	-	0,2V	0,4V
V_{OH}	2,4V	3,6V	-

2. Margen de ruido:

$$NM_H = V_{OH(mín)} - V_{IH(mín)} = 2,4V - 2,0V = 0,4V$$

$$NM_{LH} = V_{IL(máx)} - V_{OL(máx)} = 0,8V - 0,4V = 0,4V$$

3. Corrientes de entrada y fan-out (CI 7400)

$$I_{IH} = 40\mu A$$

$$I_{OH} = 400\mu A$$

$$I_{IL} = 1,6mA$$

$$I_{OL} = 16mA$$

$$Fan - out_{(L)} = \frac{I_{OL}}{|I_{IL}|} = \frac{16}{1,6} = 10$$

$$Fan - out_{(H)} = \frac{|I_{OH}|}{I_{IH}} = \frac{400}{40} = 10$$

4. Características de conmutación:

	Mínimo	Típico	Máximo
t_{pLH} (ns)	-	7	15
t_{pHL} (ns)	-	11	22

3.5 VARIANTES DE LA FAMILIA TTL

1. **TTL de bajo consumo (54L/74L):** la serie 54L/74L se distingue por su bajo consumo de potencia. Los valores de las resistencias del circuito son mayores que las de la compuerta estándar. Cuanto mayor sea la resistencia menor será la corriente, y por consiguiente, menor potencia se disipará. Sin embargo, el ahorro de potencia trae aparejado una menor velocidad.
2. **TTL Schottky (54S/74S):** posee alta velocidad porque usa transistores y diodos Schottky en lugar de los componentes tradicionales.
3. **TTL Schottky de bajo consumo (54LS/74LS):** combinan consideraciones de velocidad y consumo de potencia.
4. **TTL Schottky avanzada y Schottky de bajo consumo avanzada (54AS/74AS, 54ALS/74ALS):** son versiones avanzadas de las series S y SL. Existe una versión de la serie AS que se designa como la serie F o FAST (rápida). Las velocidades conseguidas con estas tecnologías disminuyen sensiblemente los retardos de las series anteriores.

Familia	Identificación	t_{pD} (ns)	Potencia/compuerta (mW)
Estándar	74XX	11	10
Bajo Consumo	74LXX	33	1
Schottky	74SXX	3	19
Schottky bajo consumo	74LSXX	9,5	2
Schottky avanzada	74ASXX	1,5	8,5
Schottky bajo consumo avanzada	74ALSXX	4	1

Tabla 1.- Comparación de familias lógicas TTL.

4. LA FAMILIA CMOS

Para construir circuitos integrados digitales, además de los transistores bipolares, se emplean circuitos basados en transistores MOSFET (MOS Field-Effect transistor, transistor de efecto campo MOS) de canal n (NMOS) y de canal p (PMOS). Hoy en día, rara vez se utiliza la tecnología PMOS. Los circuitos NMOS son más fáciles de fabricar, y por tanto más económicos. Actualmente la tecnología CMOS domina el mercado debido. Principalmente, a su bajo consumo. Las siglas CMOS corresponden a *Complementary Metal-Oxide Semiconductor*. El término complementario se refiere a la utilización de dos tipos de transistores MOSFET de canal n y de canal p.

La familia CMOS más difundida es la serie 4000. Los integrados de esta familia se identifican con un código que comienza con el número 4, mientras que las restantes 3 o 4 cifras identifican la función lógica y la distribución de patas, información que el fabricante consigna en las hojas de datos y que no guarda ninguna relación con los códigos de la familia TTL. Ejemplos de códigos de circuitos CMOS son los integrados 4001, 40106, 4541, etc.

Otra familia CMOS de notable crecimiento en el mercado es la HC, que fue desarrollada como reemplazo directo de los circuitos TTL, por lo que su codificación es la de aquella familia intercalando las letras HC en el código. De este modo, el circuito 74HC02 es un reemplazo en tecnología CMOS del TTL 7402, manteniendo la misma función lógica y distribución de pines del TTL original (y sin relación alguna con el CMOS 4002).

A partir de su surgimiento, la tecnología CMOS fue desplazando a la TTL de manera tal que la mayor parte de la inversión industrial se volcó en esta tecnología, y en consecuencia su avance ha sido incesante. En la

actualidad, existen variantes de familias CMOS con características optimizadas para diferentes aplicaciones si bien todas ellas son compatibles y mantienen las características que hacen a una familia.

4.1 EL TRANSISTOR MOSFET

Los transistores de efecto campo de semiconductor de metal-óxido (MOSFET) son los elementos activos de conmutación de los circuitos CMOS. Estos dispositivos difieren enormemente tanto en la construcción como en el funcionamiento interno de los transistores bipolares pero, básicamente, su acción de conmutación es la misma. En aplicaciones digitales al igual que sucedía con los transistores bipolares adoptan dos estados si nos limitamos a trabajar en unos intervalos de voltaje ('1' y '0') asemejándose a interruptores cerrados o abiertos (figura 16).

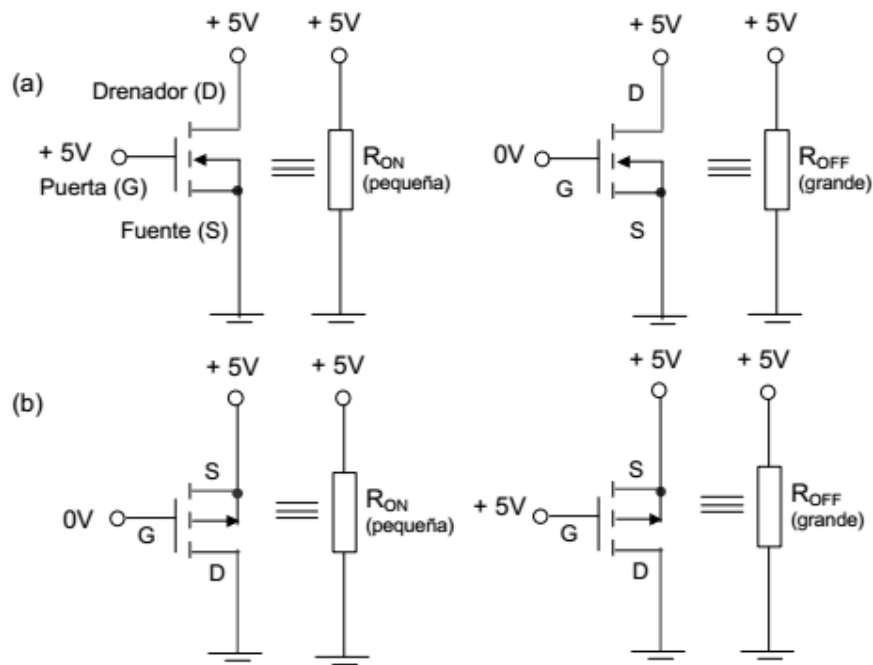


Figura 16.- Conmutación del transistor MOSFET. (a) Canal n. (b) Canal p.

Los tres terminales de un transistor MOSFET, como se observa en la figura anterior, son: puerta o compuerta, drenador y surtidor o fuente. Cuando la tensión de compuerta de un MOSFET de canal n es más positiva que la de surtidor, el MOSFET conduce y la resistencia entre drenador y surtidor es pequeña. Cuando la tensión compuerta-surtidor es cero, el MOSFET no conduce. Los MOSFET de canal p funcionan con polaridades opuestas.

4.2 EL INVERSOR CMOS

La lógica MOS complementaria utiliza MOSFET de canal n y de canal p como muestra la figura 17.

Cuando el voltaje de entrada está cerca de 0V, no conduce (off) el dispositivo de canal n T_2 pero conduce (on) el dispositivo de canal p T_1 . Cuando el voltaje de entrada está próximo al voltaje de alimentación, la conducción se invierte y T_1 no conduce y T_2 sí. El circuito de la figura 17 se puede representar mediante el esquema de la derecha (b). Con el conmutador T_1 cerrado y T_2 abierto, la salida está a nivel alto y con T_2 cerrado y T_1 abierto, la salida está a nivel bajo.

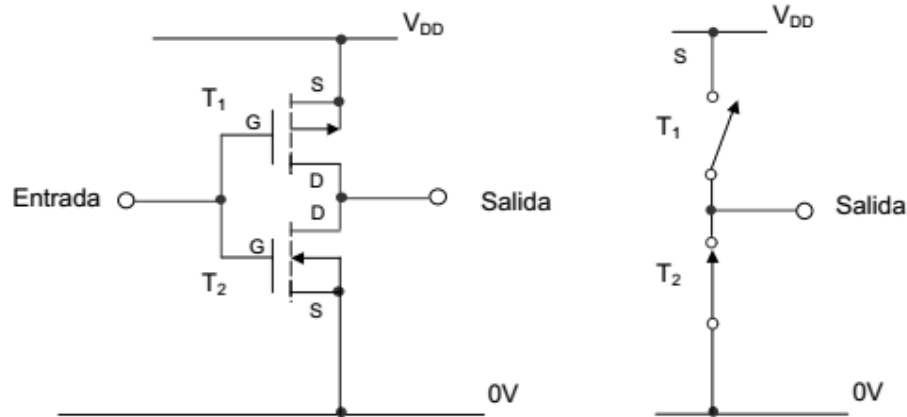


Figura 17.- Inversor lógico CMOS. (a) Arquitectura interna. (b) Circuito equivalente.

4.3 CARACTERÍSTICAS DE LA FAMILIA CMOS

1. Voltaje de alimentación:

Los circuitos CMOS tienen un amplio rango de tensiones de alimentación, que en algunos casos llega hasta $\pm 30V$. Los límites quedan determinados por las tensiones de ruptura directamente ligadas a las características de la tecnología del aislante (dióxido de silicio) utilizado en la compuerta. Por lo general $3V \leq V_{DD} \leq 18V$.

2. Niveles lógicos de entrada y salida:

Los parámetros de niveles de tensión dependen de la tensión de alimentación. Al comparar CMOS con TTL, implícitamente asumimos una tensión de alimentación de +5V para los CMOS. Por ejemplo, para un CI CMOS podemos tener:

$$V_{IL(max)} = 1,5V$$

$$V_{IH(min)} = 3,5V$$

$$V_{OL(max)} = 0,05V$$

$$V_{OH(min)} = 4,95V$$

3. Margen de ruido:

$$NM_H = V_{OH(min)} - V_{IH(min)} = 4,95V - 3,5V = 1,45V$$

$$NM_{LH} = V_{IL(max)} - V_{OL(max)} = 1,5V - 0,05V = 1,45V$$

En general, a igual tensión de alimentación los circuitos integrados CMOS tienen mejor inmunidad al ruido que los TTL. Al aumentar la tensión de alimentación, aumenta aún más la inmunidad al ruido.

4. Corrientes de entrada y fan-out:

La impedancia de entrada de un CI de tecnología CMOS es muy elevada, por lo que, usualmente, las corrientes de entrada están en el orden de:

$$|I_{IH(max)}| = |I_{IL(max)}| = 0,1\mu A$$

Por lo tanto el *fan-out* para compuertas CMOS excitando compuertas CMOS queda limitado principalmente por la carga capacitiva que "ve" la compuerta excitadora. Los valores usuales para la capacidad de entrada de una compuerta CMOS se encuentran entre 5 y 15pF. Así, un abanico de salida de 5 compuertas cargará la salida con 25 a 75pF y si se trabaja con 5V, los retrasos de propagación estarán en el orden de

los 50 a 100ns, tiempos apreciablemente superiores que una compuerta de tecnología TTL, de igual *fan-out*.

5. Características de conmutación:

Las primeras compuertas de tecnología CMOS, serie 4000, eran por lo general más lentas que las compuertas de las familias TTL. Con el correr de los años la velocidad de funcionamiento aumentó considerablemente con la aparición de las familias 74ACXX (Advanced CMOS) y 74ACTXX (Advanced CMOS TTL compatible) con tiempos de retardo del orden de 7ns y las familias más recientes, que trabajan con tensiones de alimentación más bajas (LVT, ALVC, ALVT) del orden de 2,5ns.

6. Potencia consumida:

Mientras el nivel lógico de una compuerta no cambia, la potencia consumida es prácticamente nula. Sin embargo se consume potencia cuando se realizan las conmutaciones entre los niveles lógicos. Esta potencia depende de la frecuencia de conmutación, de la carga capacitiva y de la fuente de alimentación. Al efectuarse una transición los transistores se encuentran en conducción, haciendo circular un pulso de corriente instantáneo de la fuente de alimentación. La magnitud de este pulso depende de la impedancia, la tensión de umbral de los transistores, de la tensión de alimentación y del tiempo empleado en la conmutación. También se necesita corriente para cargar y descargar la capacidad de carga. La disipación resultante de estos componentes de corriente es directamente proporcional a la frecuencia de funcionamiento, y a la capacidad de carga.

7. Entradas CMOS:

Todos los transistores MOS tienen su compuerta aislada por un óxido (dieléctrico), el cual es susceptible de sufrir su ruptura si se le aplica una tensión lo suficientemente elevada. Por ejemplo, en la serie 4000 ese óxido tiene un espesor del orden de los 400 Angstrom¹, con lo cual bastaría con una tensión en el orden de 80V a 100V para provocar su ruptura. Por este motivo es común que las entradas y salidas de una compuerta CMOS se encuentran protegidas con diodos recortadores, que limitan las tensiones al rango de 20 a 30V. Hay que tener en cuenta que una persona, en ciertas condiciones, puede generar hasta 15.000V de potencial electrostático en su cuerpo.

4.4 COMPATIBILIDAD TTL - CMOS

Los niveles lógicos de salida típicos para una puerta TTL con salida tótem-pole son 3,6V ('1') y 0,2V ('0'). La entrada de una puerta CMOS interpreta cualquier voltaje menor de $0,3 \times V_{DD}$ como '0' lógico y cualquier voltaje mayor de $0,7 \times V_{DD}$ como '1' lógico, para una alimentación de $V_{DD} = 5V$, $V_{IL(max)} = 1,5V$ y $V_{IH(min)} = 3,5V$. Como se puede observar la salida TTL a nivel alto no es lo bastante alta como para garantizar que se interprete como un '1' en la compuerta CMOS. Para solucionar esto se añade una resistencia de *pull-up* a la salida de la compuerta TTL, como muestra la figura 18.

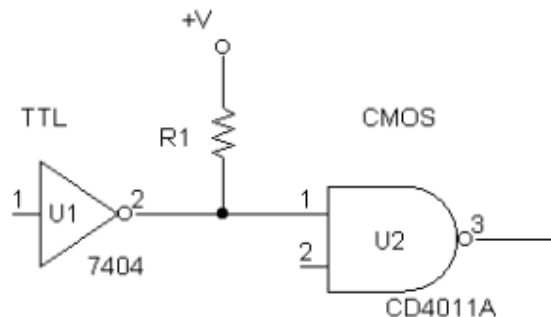


Figura 18.- Conexión de compuerta TTL-CMOS.

¹ El Ångström (símbolo Å) es una unidad de longitud empleada principalmente para expresar longitudes de onda, distancias moleculares y atómicas, etc. Equivale a la diez millonésima parte del metro. $1\text{Å} = 1 \times 10^{-10}\text{m} = 0,1\text{nm}$.

Los niveles lógicos de salida de las compuertas CMOS, si $V_{DD} = 5V$ son aproximadamente de 0V y 5V, y por lo tanto resultan compatibles con los niveles de entrada de la lógica TTL. Sin embargo, la corriente de salida de los dispositivos CMOS no es lo suficientemente alta como para atacar las entradas de las compuertas TTL estándar. La familia 74LSXX requiere menos corriente de entrada, por lo que un dispositivo CMOS puede conectarse directamente a otro 74LSXX, que luego se puede usar para conectar otras puertas 74LSXX. También se puede añadir una interfaz entre la lógica CMOS y TTL mediante buffers.

4.5 COMPARACIÓN TTL - CMOS

En la tabla 2 se dan los valores de los parámetros característicos de dos circuitos integrados que implementan la misma función lógica en las familias TTL (74LS00) y CMOS (CD4011) cuando ambos son alimentados con 5V que es el estándar para la familia TTL, y está dentro del rango de alimentación de la familia CMOS de la serie 4000. Ambos chips incluyen cuatros compuertas NAND de dos entradas.

Parámetro	74LS00	CD4011
V_{IH} (V)	2	3,5
V_{IL} (V)	0,8	1,5
V_{OH} (V)	2,7	4,95
V_{OL} (V)	0,5	0,05
I_{IH} (mA)	0,02	0,0001
I_{IL} (mA)	-0,36	-0,0001
I_{OH} (mA)	-0,4	-0,51
I_{OL} (mA)	8	0,51
P (mW)	15	1,25
T_d (ns)	10	250

Tabla 1.- Parámetros característicos familia TTL (74LS00) y CMOS CD4011.

5. BIBLIOGRAFÍA

1. Robert L. Boylestad y Louis Nashelsky. "Electrónica: Teoría de Circuitos y Dispositivos Electrónicos". Décima edición. Pearson Educación. México 2009.
2. Donald L. Schilling y Charles Belove. "Circuitos Electrónicos Discretos e Integrados". Segunda edición. Marcombo. España 1988.
3. Jacob Millman y Christos C. Halkias. "Electrónica Integrada. Circuitos y Sistemas Analógicos y Digitales". Primera edición. Mc Graw Hill 1980.